

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-232580

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

H01L 29/786  
H01L 21/8238  
H01L 27/092

(21)Application number : 08-033638

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 21.02.1996

(72)Inventor : KAN MINKYU  
BIN HEIKAKU

## (54) TRANSISTOR AND MANUFACTURE THEREOF

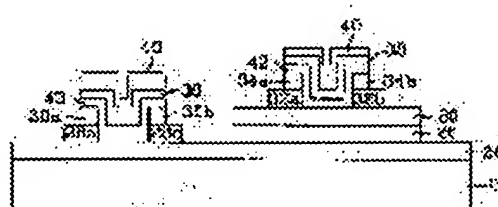
### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing a simplified thin film CMOS transistor suitable for a large screen, and to provide an element structure with which a parasitic capacitance can be controlled and characteristics can be improved.

**SOLUTION:** A source layer 28a and a drain layer 28b are connected by a channel layer 42, and buffer layers 30a and 30b are formed on the overlapped part of the above-mentioned source layer 28a and the drain layer 28b. As a result, parasitic capacitance can be

suppressed and characteristics can be improved. A transistor is manufactured as follows. After an N-type silicon layer 28, an insulating layer 30, a P-type silicon layer 32 and an insulating layer 34 have been formed, a

P-type silicon layer 32 and an insulating layer 34 are patterned, and then the N-type silicon layer 28 and the insulating layer 30 are patterned. When a pattern is formed on the above-mentioned two layers, a channel layer 42, a gate insulating layer 38 and a gate electrode layer 40 are formed and patterned. As ions are not implanted, annealing is not necessary, the process of manufacturing can be simplified, and the generation of a thin film kink can be prevented. Also, the uniformity of dopant of this transistor is excellent as a whole, and it is suitable for the display of a large screen.



---

**LEGAL STATUS**

[Date of request for examination] 27.02.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2777101

[Date of registration] 01.05.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a transistor and its manufacture approach, and relates to the manufacture approach which was suitable for manufacture of the thin film transistor of CMOS structure especially.

[0002]

[Description of the Prior Art] Generally, compared with the amorphous silicon thin film transistor, greatly [ electric mobility ], since a single-crystal-silicon component and the order of a process are the same, as for the polish recon thin film transistor, the importance is increasing in the field of the flat-panel display. Since the circumference circuit of the pixel switching device in a display can be embodied to coincidence and it has many advantages in respect of cost etc. especially, research is advanced actively.

[0003] The manufacture approach of a thin film transistor is shown in drawing 1 A-E in order of a process, and is explained to it. In drawing 1 A, after vapor-depositing polish recon on the substrates 2, such as a quartz, glass, and sapphire, a predetermined field is etched and an active region 4 is patternized. In drawing 1 B, in the upper part of an active region 4, after carrying out the sequential vacuum evaporatio~~no~~ of gate dielectric film 6 and the polish recon 8, it etches and patternizes, and separation formation of each component field is carried out. Thereby, the active region 4 which makes the source, a drain, and a channel field is divided into the active regions 4a and 4b for each components, and gate dielectric film 6 and the polish recon 8 are also divided into the gate dielectric film 6a and 6b and Gates 8a and 8b for each components.

[0004] Continuing drawing 1 C is a process which performs the ion implantation 10 (\*\*\*\*) to active-region 4a which forms N type MOSTFT among active regions 4a and 4b. At this process, the source and a drain are formed of placing of the N type ion by the self align which used gate 8a as the mask, therefore a channel is formed. About active-region 4b of another side, since it is the field which forms P type MOSTFT, it covers by the photoresist 12. In drawing 1 D, it considers as the condition of having removed the photoresist 12 and having covered active-region 4a by the photoresist 14 this time, and the ion implantation 16 (\*\*\*\*) of the P type impurity to active-region 4b is performed. The source, a drain, and a channel are formed using the self align which used gate 8b as the mask also in this case, and P type MOSTFT is created.

[0005] Drawing 1 E shows the outline cross section of the thin film transistor circuit of the CMOS structure which finished forming N type MOSTFT of active-region 4a, and P type MOSTFT of active-region 4b. The source and the drains 18 and 20 of N type MOSTFT are formed in active-region 4a, and the source and the drains 22 and 24 of P type MOSTFT are formed in active-region 4b. And gate dielectric film 6a and 6b and Gates 8a and 8b were arranged on the channel between these fields, and CMOSTFT is completed. Since it is not necessary to explain, especially the process that applies an insulator layer next, forms contact, wires metal etc. through this contact and forms a pad is skipped.

[0006] Thus, since the CMOS transistor of the polish recon thin film manufactured can be created by

planar structure unlike an amorphous silicon thin film transistor, it is available in ion implantation to the drain of a component, and source field formation. That is, since doping of the drain by the self-align method and the source is possible, the overlap capacitance between the gate, a drain, and the source is small, and when using it as a display pixel component, there is an advantage which can suppress the deterioration of image quality which appears with parasitic capacitance to the minimum.

[0007]

[Problem(s) to be Solved by the Invention] Generally ion implantation is a process which drives in the ion of high energy from a silicon wafer front face. Placing ion reaches to the depth determined as the class of the incidence energy and ion, the condition of a substrate, etc., and does damage to the crystal structure of silicon in that case. Since this damage field overlaps mutually and forms a defective layer over the whole impregnation field surface layer of a wafer, it is necessary to carry out annealing which activates the ion heat-treated and driven in as a carrier in a semi-conductor in order to recover this for every ion implantation process. This is also the same as when manufacturing a thin film transistor.

[0008] Moreover, it is said that there is demerit to which the homogeneity of doping will get rapidly and bad if a screen size becomes large, although it is suitable for the small display with the approach small 5 inches of forming the source and a drain by ion implantation, and it is seldom suitable to the display of a bigger screen. Although research and development in the ion shower doping method is recently done in order to solve this problem, many technical problems which should be solved by utilization -- printing and the ionic diffusion process of a photoresist in a doping process are further needed -- are held.

[0009] So, in this invention, the manufacture approach suitable for a thin film CMOS transistor which does not require the annealing process accompanying ion implantation and this is offered. Moreover, the manufacture approach suitable for the thin film CMOS transistor which the mask for ion doping in the source and drain formation is made unnecessary, and it depends for it, and can be considered as an easy production process is offered. Furthermore, the manufacture approach of the thin film transistor which can eliminate the thin film kink (kink: being able to twist defect) which may be generated by ion implantation is offered. And the manufacture approach of a thin film transistor of having been more suitable also for the display of a big screen is offered.

[0010]

[Means for Solving the Problem] The 1st process which carries out sequential formation of the 1st electric conduction form amorphous silicon layer, the 1st insulating layer, the 2nd electric conduction form amorphous silicon layer, and the 2nd insulating layer on a substrate according to this invention, The 2nd process which patternizes said 2nd insulating layer and the 2nd electric conduction form amorphous silicon layer, and forms the source and drain field, and buffer layer of the 2nd electric conduction form, The 3rd process which patternizes said 1st insulating layer and the 1st electric conduction form amorphous silicon layer, and forms the source and drain field, and buffer layer of the 1st electric conduction form, The manufacture approach of the CMOS transistor characterized by carrying out the 4th process which forms a channel layer after the 3rd process, and the 5th process which forms a gate insulating layer and a gate electrode layer on the channel layer by the 4th process is offered.

[0011] Or the 1st process which carries out the laminating of an N type amorphous silicon layer, the 1st insulator layer, a P type amorphous silicon layer, and the 2nd insulating layer on a substrate, The 2nd process which forms the buffer layer on this source and a drain field from said 2nd insulator layer while forming the source and a drain field from said P type amorphous silicon layer, The 3rd process which forms the buffer layer on this source and a drain field from said 1st insulator layer while forming the source and a drain field from said N type amorphous silicon layer, The manufacture approach of the thin film transistor characterized by carrying out the 4th process which forms a channel layer after the 3rd process, and the 5th process which forms a gate insulating layer and a gate electrode layer on the channel layer by the 4th process is offered.

[0012] Moreover, the channel field which connects between the source and a drain electrode, and source electrodes and drain electrodes according to this invention, The 1st buffer layer formed among channel field edge subordinates the source electrode edge top, The CMOS transistor characterized by having the

1st and 2nd transistors which come to have the 2nd buffer layer formed among channel field edge subordinates the drain electrode edge top and the gate electrode of the channel field upper part is offered.

[0013] Furthermore, the thin film transistor characterized by coming to have the buffer layer formed between the layers of the overlap part of the source and the drain layer which were formed on the substrate, the channel layer which connects between these source layer and drain layers, and a these sources and a drain layer and a channel layer, and the gate electrode of the channel layer upper part is offered. Or a gate electrode, the gate insulating layer under this gate electrode, and the semi-conductor layer under this gate insulating layer, The 1st electric conduction form silicon layer which makes this semi-conductor layer a channel field, and these semi-conductors layer and the buffer layer of the overlap part of the 1st electric conduction form silicon layer, It is formed on the silicon layer for dissociating from the 1st element and forming said 1st electric conduction form silicon layer and buffer layer, and an insulating layer. since -- the 1st becoming element -- and -- this -- with a gate electrode The gate insulating layer under this gate electrode, and the semi-conductor layer under this gate insulating layer, the 2nd electric conduction form silicon layer which makes this semi-conductor layer a channel field, and these semi-conductors layer and the buffer layer of the overlap part of the 2nd electric conduction form silicon layer -- since -- the thin film transistor characterized by coming to have the 2nd becoming element is offered.

[0014]

[Embodiment of the Invention] The manufacture approach of this operation gestalt is shown in drawing 2 - drawing 6 in order of a process, and is explained to them.

[0015] In drawing 2, first, the about (although it is 500nm in desired value, since it is detailed, naturally there is \*\*) 500nm thermal oxidation film 26 is grown up into the silicon wafer 2, and it considers as a substrate. It is possible to use a quartz, glass, sapphire, etc. in addition to this as a substrate. And doping formation of the N type amorphous silicon layer 28 is carried out on this substrate. Furthermore, on the N type amorphous silicon layer 28, sequential vacuum evaporatio is carried out and the same insulating layer 34 as the insulating layer 30 of a nitride or an oxide film, the P type amorphous silicon layer 32, and an insulating layer 30 is patternized.

[0016] About the N type amorphous silicon layer 28, it is an in stew (inch-situ) in that case. It forms using doping. This in stew doping process is a process which N type amorphous silicon is grown up in a thermal ambient atmosphere, and dopes by pouring in the gas which contains an impurity in coincidence. Insulating layers 30 and 34 and P type amorphous silicon 32 can be vapor-deposited by LPCVD (reduced pressure CVD) or APCVD (ordinary pressure CVD). Let these four thin film layers 28, 30, 32, and 34 be the about 100nm same thickness.

[0017] In drawing 3, a predetermined pattern is etched in an insulating layer 34 and P type amorphous silicon 32 using photolithography. The P type amorphous silicon 32a and 32b patternized by this process serves as the source of P type MOSTFT, and a drain field, and the patternized insulating layers 34a and 34b turn into a buffer layer.

[0018] In drawing 4, a predetermined pattern is etched using photolithography in the buffer oxide film 30 and N type amorphous silicon 28. At this time, the part of P type MOSTFT formed at the process of drawing 3 applies protection by photoresist 37'. The N type amorphous silicon 28a and 28b patternized by this serves as the source of N type MOSTFT, and a drain field, and the patternized insulating layers 30a and 30b turn into a buffer layer.

[0019] In the etching of the insulating layers 30 and 34 and the amorphous silicon 28 and 32 using these two masks, the part used as the channel field of CMOSTFT will also be etched.

[0020] Doping formation of the channel layer 42 of the amorphous silicon which serves as a semi-conductor layer for channel fields after the process of drawing 4 is carried out, and predetermined time annealing is carried out for for example, about 30 hours by the solid phase crystallizing method (SPD:Solid Phase Crystalization), for example, a 600-degree C setup, and amorphous silicon is made to form into polish recon in drawing 5. On the formed channel layer 42, the gate electrode layer 40 by about 100nm the polish recon or the metal of 38 or about 30nm of gate insulating layers is vapor-

deposited at about 550 degrees C.

[0021] In drawing 6, the gate electrode layer 40, the gate insulating layer 38, the polish recon channel layer 42, and buffer layers 30a, 30b, 34a, and 34b are patternized by using a gate mask and carrying out sequential etching after the process of drawing 5. Consequently, CMOSTFT which created N type MOSTFT and P type MOSTFT on 1 substrate is obtained.

[0022] After drawing 6, an about 500nm protection oxide film will be vapor-deposited by 380-degree-C setup, etching formation of the contact will be carried out, and the electrode for components will be formed using metals, such as aluminum, by about 1000nm. Moreover, after the above-mentioned process termination, in order to raise the electrical characteristics of a component, it is good to carry out power density 2.5 w/cm<sup>2</sup> and a hydrogen treating with a vibration frequency of about 13.56MHz by setup of the temperature of 300 degrees C, and pressure 0.5torr.

[0023] Thus, the component structure acquired connects between the source and drain field 28a-28b, and 32a-32b in the channel layer 42, and is structure with buffer layers 30a, 30b, 34a, and 34b to the overlap part of each of that edge.

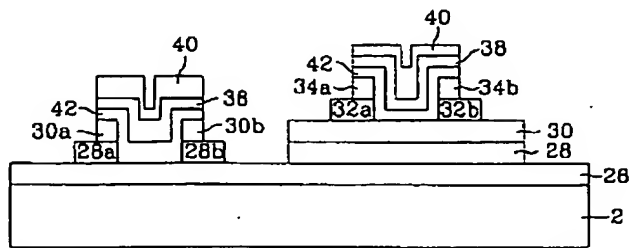
[0024]

[Effect of the Invention] since the source and the drain which were formed with the conventional technique at the process of annealing accompanying N type ion implantation and P type ion implantation, and it were formed at the process by the etching of the conductive layer using photolithography according to this invention described above, as a production process, it is markedly alike, and easy. Moreover, since ion implantation is not used, there are no worries about a thin film kink phenomenon, and its annealing for every ion implantation is also unnecessary. And since it is used for the source and a drain field after forming a conductive layer on the whole on a substrate front face, the homogeneity of doping is excellent, and it is the big screen sense more. In addition, it can become possible to control the parasitic capacitance generated to the source and a drain field, and a channel field by the buffer layer, it can be raised in an on-off current ratio property by the ion diffused in homogeneity, and a passivation property can also be raised according to the early hydrogenation effectiveness. Moreover, since separation formation of a channel field, the source, and the drain field is carried out mutually, it can consider as an about 500A super-thin film.

---

[Translation done.]

Drawing selection **Representative drawing** 



[Translation done.]

**Copyright (C); 2000 Japan Patent Office**



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-232580

(43)公開日 平成9年(1997)9月5日

|                          |      |        |               |         |
|--------------------------|------|--------|---------------|---------|
| (51)Int.Cl. <sup>8</sup> | 識別記号 | 庁内整理番号 | F I           | 技術表示箇所  |
| H 0 1 L 29/786           |      |        | H 0 1 L 29/78 | 6 1 3 A |
| 21/8238                  |      |        | 27/08         | 3 2 1 B |
| 27/092                   |      |        |               |         |

審査請求 有 請求項の数16 O L (全 6 頁)

(21)出願番号 特願平8-33638

(22)出願日 平成8年(1996)2月21日

特許法第30条第1項適用申請有り 1995年8月21日～8月24日 日本応用物理学会主催の「ソリッドステートデバイスおよび材料に関する1995年国際会議」において文書をもって発表

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 韓 民九

大韓民国ソウル特別市江南区押鴉亭洞現代アパート73棟905号

(72)発明者 関 炳赫

大韓民国ソウル特別市江南区清潭洞55番地5号

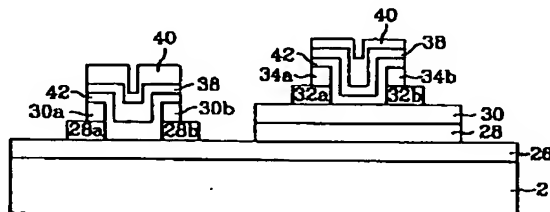
(74)代理人 弁理士 高月 猛

(54)【発明の名称】 トランジスタとその製造方法

(57)【要約】

【課題】 大画面向きの簡素化された薄膜CMOSトランジスタの製造方法と、寄生容量の抑制が可能で特性の向上する素子構造を提供する。

【解決手段】 ソース及びドレイン層28a、28bはチャネル層42により接続され、これらソース及びドレイン層とチャネル層のオーバーラップ部分にバッファ層30a、30bが形成される。これにより寄生容量を抑え特性を向上させられる。その製造方法は、N形シリコン層28、絶縁層30、P形シリコン層32、絶縁層34を積層した後、まずP形シリコン層32及び絶縁層34をパターン化し、次いでN形シリコン層28及び絶縁層30をパターン化する。両者のパターン形成が終わると全体的にチャネル層42、ゲート絶縁層38、ゲート電極層40を積層し、そしてパターン化する。イオン打ち込みを用いないのでそのためのアニールを要せず工程が簡素化できるうえ、薄膜キックを防止できる。また全体的にドーパントの均一性が優れ、大画面ディスプレイに適している。



## 【特許請求の範囲】

【請求項1】 基板上に第1導電形非晶質シリコン層、第1絶縁層、第2導電形非晶質シリコン層、第2絶縁層を順次形成する第1の工程と、前記第2絶縁層及び第2導電形非晶質シリコン層をパターン化して第2導電形のソース及びドレイン領域とバッファ層を形成する第2の工程と、前記第1絶縁層及び第1導電形非晶質シリコン層をパターン化して第1導電形のソース及びドレイン領域とバッファ層を形成する第3の工程と、第3の工程後にチャンネル層を形成する第4の工程と、第4工程によるチャンネル層上にゲート絶縁層及びゲート電極層を形成する第5の工程と、を実施することを特徴とするCMOSトランジスタの製造方法。

【請求項2】 第1導電形がN形で第2導電形がP形である請求項1記載の製造方法。

【請求項3】 第1の工程において、第1導電形非晶質シリコン層をインシチュドーピングにより形成する請求項1又は請求項2記載の製造方法。

【請求項4】 第4の工程は、非晶質シリコンを用いてチャンネル層を形成し、そして非晶質シリコンをポリシリコン化する工程である請求項1～3のいずれか1項に記載の製造方法。

【請求項5】 600℃設定で30時間ほどのアニールにより非晶質シリコンのポリシリコン化を行う請求項4記載の製造方法。

【請求項6】 第5の工程後に水素化処理工程を更に含む請求項1～5のいずれか1項に記載の製造方法。

【請求項7】 バッファ層が窒化膜又は酸化膜である請求項1～6のいずれか1項に記載の製造方法。

【請求項8】 基板が石英、ガラス、又はサファイアのいずれかである請求項1～7のいずれか1項に記載の製造方法。

【請求項9】 基板上にN形非晶質シリコン層、第1絶縁膜、P形非晶質シリコン層、第2絶縁層を積層する第1の工程と、前記P形非晶質シリコン層からソース及びドレイン領域を形成すると共に該ソース及びドレイン領域上のバッファ層を前記第2絶縁膜から形成する第2の工程と、前記N形非晶質シリコン層からソース及びドレイン領域を形成すると共に該ソース及びドレイン領域上のバッファ層を前記第1絶縁膜から形成する第3の工程と、第3の工程後にチャンネル層を形成する第4の工程と、第4の工程によるチャンネル層上にゲート絶縁層及びゲート電極層を形成する第5の工程と、を実施することを特徴とする薄膜トランジスタの製造方法。

【請求項10】 第1の工程において、第1、第2絶縁層及びP形非晶質シリコン層をLPCVD又はAPCVDにて形成する請求項9記載の製造方法。

【請求項11】 N形非晶質シリコン層、第1絶縁層、P形非晶質シリコン層、第2絶縁層を100nmほどの同じ厚さで形成する請求項9又は請求項10記載の製造

方法。

【請求項12】 第5の工程でゲート電極層を形成した後、380℃設定で500nmほどの保護酸化膜を蒸着してコンタクトを形成する工程を更に実施する請求項9～11のいずれか1項に記載の製造方法。

【請求項13】 第5の工程において、ゲート絶縁層を100nmほどの厚さで形成する請求項9～12のいずれか1項に記載の製造方法。

【請求項14】 ソース及びドレイン電極と、ソース電極とドレイン電極との間をつなぐチャンネル領域と、ソース電極端部上とチャンネル領域端部下との間に形成された第1バッファ層と、ドレイン電極端部上とチャンネル領域端部下との間に形成された第2バッファ層と、チャンネル領域上部のゲート電極と、を有してなる第1及び第2トランジスタをもつことを特徴とするCMOSトランジスタ。

【請求項15】 基板上に形成されたソース及びドレイン層と、これらソース層とドレイン層の間を接続するチャンネル層と、これらソース及びドレイン層とチャンネル層とのオーバーラップ部分の層間に形成されたバッファ層と、チャンネル層上部のゲート電極層と、を有してなることを特徴とする薄膜トランジスタ。

【請求項16】 ゲート電極と、該ゲート電極下のゲート絶縁層と、該ゲート絶縁層下の半導体層と、該半導体層をチャンネル領域とする第1導電形シリコン層と、これら半導体層と第1導電形シリコン層のオーバーラップ部分のバッファ層と、からなる第1素子、及び、該第1素子から分離されて前記第1導電形シリコン層及びバッファ層を形成するためのシリコン層及び絶縁層上に形成され、ゲート電極と、該ゲート電極下のゲート絶縁層と、該ゲート絶縁層下の半導体層と、該半導体層をチャンネル領域とする第2導電形シリコン層と、これら半導体層と第2導電形シリコン層のオーバーラップ部分のバッファ層と、からなる第2素子、を有してなることを特徴とする薄膜トランジスタ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トランジスタとその製造方法に係り、特に、CMOS構造の薄膜トランジスタの製造に適した製造方法に関する。

【0002】

【従来の技術】一般にポリシリコン薄膜トランジスタは、非晶質シリコン薄膜トランジスタに比べて電気的移動度が大きく、また単結晶シリコン素子と工程順が同様であるため、フラットパネルディスプレイの分野でその重要性が高まっている。特に、ディスプレイにおける画素スイッチ素子の周辺回路を同時に具現可能でありコスト面等で多くの長所をもつので、活発に研究が進められている。

【0003】図1A～Eに、薄膜トランジスタの製造方

法を工程順に示し説明する。図1Aでは、石英、ガラス、サファイア等の基板2上にポリシリコンを蒸着した後、所定領域を食刻して活性領域4をパターン化する。図1Bでは、活性領域4の上部にゲート絶縁膜6とポリシリコン8を順次蒸着した後、食刻してパターン化し、各素子領域を分離形成する。これにより、ソース、ドレイン、チャネル領域をなす活性領域4は各素子用の活性領域4a、4bに分離され、またゲート絶縁膜6及びポリシリコン8も各素子用のゲート絶縁膜6a、6bとゲート8a、8bに分離される。

【0004】続く図1Cは、活性領域4a、4bのうち、N形MOSTFETを形成する活性領域4aに対するイオン打ち込み10(矢示)を行う工程である。この工程では、ゲート8aをマスクとした自己整合によるN形イオンの打ち込みによりソース、ドレインが形成され、従ってチャネルが形成される。他方の活性領域4bについては、P形MOSTFETを形成する領域なのでフォトレジスト12によりカバーしている。図1Dでは、フォトレジスト12を取り去って今度は活性領域4aをフォトレジスト14でカバーした状態とし、活性領域4bに対するP形不純物のイオン打ち込み16(矢示)を行う。この場合もゲート8bをマスクとした自己整合を利用してソース、ドレイン、そしてチャネルが形成され、P形MOSTFETが作成される。

【0005】図1Eは、活性領域4aのN形MOSTFETと活性領域4bのP形MOSTFETとを形成し終わったCMOS構造の薄膜トランジスタ回路の概略断面を示している。活性領域4aにはN形MOSTFETのソース及びドレイン18、20が形成され、活性領域4bにはP形MOSTFETのソース及びドレイン22、24が形成されている。そしてこれら領域間のチャネル上にゲート絶縁膜6a、6bとゲート8a、8bが配設され、CMOSTFETが完成している。この後に絶縁膜を塗布してコンタクトを形成し、該コンタクトを介して金属等を配線パッドを形成する過程等は特に説明するまでもないので省略する。

【0006】このように製造されるポリシリコン薄膜のCMOSTランジスタは、非晶質シリコン薄膜トランジスタとは異なりプレーナ構造で作成できるため、素子のドレイン及びソース領域形成にイオン打ち込みを利用可能である。即ち、自己整合法によるドレイン及びソースのドーピングが可能なので、ゲートとドレイン及びソース間のオーバーラップキャパシタンスが小さく、ディスプレイ画素素子として使用する場合に寄生容量により現れる画質の低下を最小限に抑えられる利点がある。

【0007】

【発明が解決しようとする課題】一般にイオン打ち込みは、高エネルギーのイオンをシリコンウェーハ表面から打ち込む工程である。打ち込みイオンはその入射エネルギーやイオンの種類、基板の状態等に決定される深さ

で達し、その際、シリコンの結晶構造に損傷を与える。この損傷領域は相互にオーバーラップしてウェーハの注入領域表面層全体に渡って欠陥層を形成するので、これを回復するために熱処理を行って打ち込んだイオンを半導体中のキャリアとして活性化させるアニールを、各イオン打ち込み工程ごとに実施する必要がある。これは、薄膜トランジスタを製造する場合も同様である。

【0008】また、イオン打ち込みによりソース及びドレインを形成する方法は、5インチより小さい小型ディスプレイには適しているが、画面サイズが大きくなるとドーピングの均一性が急激に悪くなる短所があり、より大きな画面のディスプレイに対してはあまり向いていないと言われている。この問題を解決するために、最近になってイオンシャワードーピング法が研究開発されているが、ドーピング工程におけるフォトレジストの焼付け及びイオン拡散工程が更に必要となる等、実用化までに解決すべき多くの課題を抱えている。

【0009】そこで本発明では、イオン打ち込みとこれに伴うアニール工程を要しないような薄膜CMOSTランジスタに適した製造方法を提供する。また、ソース及びドレイン形成におけるイオンドーピングのためのマスクを不要としたより簡単な製造工程とすることが可能な薄膜CMOSTランジスタに適した製造方法を提供する。更に、イオン打ち込みにより発生し得る薄膜キンク(kink: ねじれ、欠陥)を排除可能な薄膜トランジスタの製造方法を提供する。そして、より大画面のディスプレイにも適した薄膜トランジスタの製造方法を提供する。

【0010】

【課題を解決するための手段】本発明によれば、基板上に第1導電形非晶質シリコン層、第1絶縁層、第2導電形非晶質シリコン層、第2絶縁層を順次形成する第1の工程と、前記第2絶縁層及び第2導電形非晶質シリコン層をパターン化して第2導電形のソース及びドレイン領域とバッファ層を形成する第2の工程と、前記第1絶縁層及び第1導電形非晶質シリコン層をパターン化して第1導電形のソース及びドレイン領域とバッファ層を形成する第3の工程と、第3の工程後にチャネル層を形成する第4の工程と、第4工程によるチャネル層上にゲート絶縁層及びゲート電極層を形成する第5の工程と、を実施することを特徴とするCMOSTランジスタの製造方法が提供される。

【0011】或いは、基板上にN形非晶質シリコン層、第1絶縁膜、P形非晶質シリコン層、第2絶縁層を積層する第1の工程と、前記P形非晶質シリコン層からソース及びドレイン領域を形成すると共に該ソース及びドレイン領域上のバッファ層を前記第2絶縁膜から形成する第2の工程と、前記N形非晶質シリコン層からソース及びドレイン領域を形成すると共に該ソース及びドレイン領域上のバッファ層を前記第1絶縁膜から形成する第3

5

の工程と、第3の工程後にチャネル層を形成する第4の工程と、第4の工程によるチャネル層上にゲート絶縁層及びゲート電極層を形成する第5の工程と、を実施することを特徴とする薄膜トランジスタの製造方法が提供される。

【0012】また、本発明によれば、ソース及びドレイン電極と、ソース電極とドレイン電極との間をつなぐチャネル領域と、ソース電極端部上とチャネル領域端部下との間に形成された第1バッファ層と、ドレイン電極端部上とチャネル領域端部下との間に形成された第2バッファ層と、チャネル領域上部のゲート電極と、を有してなる第1及び第2トランジスタをもつことを特徴とするCMOSTランジスタが提供される。

【0013】更に、基板上に形成されたソース及びドレイン層と、これらソース層とドレイン層の間を接続するチャネル層と、これらソース及びドレイン層とチャネル層とのオーバーラップ部分の層間に形成されたバッファ層と、チャネル層上部のゲート電極と、を有してなることを特徴とする薄膜トランジスタが提供される。或いは、ゲート電極と、該ゲート電極下のゲート絶縁層と、該ゲート絶縁層下の半導体層と、該半導体層をチャネル領域とする第1導電形シリコン層と、これら半導体層と第1導電形シリコン層のオーバーラップ部分のバッファ層と、からなる第1素子、及び、該第1素子から分離されて前記第1導電形シリコン層及びバッファ層を形成するためのシリコン層及び絶縁層上に形成され、ゲート電極と、該ゲート電極下のゲート絶縁層と、該ゲート絶縁層下の半導体層と、該半導体層をチャネル領域とする第2導電形シリコン層と、これら半導体層と第2導電形シリコン層のオーバーラップ部分のバッファ層と、からなる第2素子、を有してなることを特徴とする薄膜トランジスタが提供される。

【0014】

【発明の実施の形態】図2～図6に、本実施形態の製造方法を工程順に示し説明する。

【0015】図2ではまず、シリコンウェーハ2に500nmほど（目標値500nmであるが微細なため当然±がある）の熱酸化膜26を成長させて基板とする。基板としてはこの他にも、石英、ガラス、サファイア等を用いることが可能である。そして、この基板上にN形非晶質シリコン層28をドーピング形成する。更にN形非晶質シリコン層28上に、窒化膜又は酸化膜の絶縁層30、P形非晶質シリコン層32、絶縁層30同様の絶縁層34を順次蒸着し、パターン化する。

【0016】その際、N形非晶質シリコン層28についてはインシチュ(in-situ)ドーピングを利用して形成する。このインシチュドーピング工程は、N形非晶質シリコンを熱的雰囲気中で成長させ、同時に不純物を含むガスを注入してドーピングを行う工程である。絶縁層30、34とP形非晶質シリコン32は、LPCVD（減圧C

6

VD）或いはAPCVD（常圧CVD）で蒸着することができる。これら4つの薄膜層28、30、32、34は100nmほどの同じ膜厚とする。

【0017】図3では、フォトリソグラフィーを用いて絶縁層34及びP形非晶質シリコン32を所定のパターンに食刻する。この工程によりパターン化されたP形非晶質シリコン32a、32bがP形MOSTFTのソース及びドレイン領域となり、また、パターン化された絶縁層34a、34bがバッファ層となる。

10 【0018】図4では、フォトリソグラフィーを用いてバッファ酸化膜30及びN形非晶質シリコン28を所定のパターンに食刻する。このとき、図3の工程で形成したP形MOSTFTの部分はフォトレジスト37'により保護をかけておく。これによりパターン化されたN形非晶質シリコン28a、28bがN形MOSTFTのソース及びドレイン領域となり、パターン化された絶縁層30a、30bがバッファ層となる。

20 【0019】これら2つのマスクを用いた絶縁層30、34及び非晶質シリコン28、32の食刻では、CMOSTFTのチャネル領域となる部分も食刻されることになる。

30 【0020】図5では、図4の工程後にチャネル領域用半導体層となる非晶質シリコンのチャネル層42をドーピング形成し、そして、固相結晶化法(SPD:Solid Phase Crystalization)、例えば600℃の設定で所定時間（例えば30時間ほど）アニールを実施して非晶質シリコンをポリシリコン化させる。形成したチャネル層42の上には、100nmほどのゲート絶縁層38、30nmほどのポリシリコン又は金属によるゲート電極層40を約550℃で蒸着する。

【0021】図6では、図5の工程後にゲートマスクを用いて順次食刻することにより、ゲート電極層40、ゲート絶縁層38、ポリシリコンチャネル層42、バッファ層30a、30b、34a、34bをパターン化する。その結果、N形MOSTFT及びP形MOSTFTを1基板上に作成したCMOSTFTが得られる。

40 【0022】図6の後には、380℃設定で500nmほどの保護酸化膜を蒸着してコンタクトを食刻形成し、約1000nmでアルミニウム等の金属を用いて素子用電極を形成することになる。また、上記工程終了後、素子の電気的特性を向上させるため、温度300℃、圧力0.5torrの設定でパワー密度2.5w/cm<sup>2</sup>、振動数13.56MHzほどの水素化処理を実施するとい

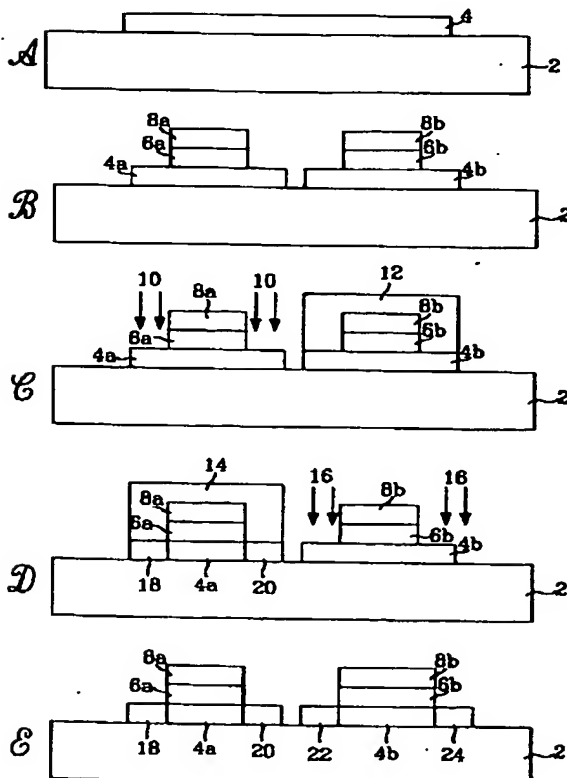
【0023】このようにして得られる素子構造は、ソース及びドレイン領域28a-28b、32a-32bの間をチャネル層42にて接続し、その各端部のオーバーラップ部分にバッファ層30a、30b、34a、34bを有した構造である。

【0024】

【発明の効果】以上述べた本発明によれば、従来技術でN形イオン打ち込み及びP形イオン打ち込みとそれに伴うアニールの工程で形成していたソース及びドレインを、フォトリソグラフィを用いた導電層の食刻による工程で形成するようにしたので、製造工程としては格段に簡単になっている。また、イオン打ち込みを用いていないため、薄膜キंक現象の心配はなく、イオン打ち込みごとのアニールも必要ない。そして、導電層を基板表面上に全体的に形成した後ソース及びドレイン領域に使用するのでドーピングの均一性が優れており、より大画面向きである。加えて、バッファ層によりソース及びドレイン領域とチャネル領域に発生する寄生容量を抑制することが可能になるし、均一に拡散したイオンによりオンオフ電流比特性を向上させられ、早い水素化効果によりパッシベーション特性をも向上させることができる。また、チャネル領域とソース及びドレイン領域が互いに分離形成されるので、500Åほどの超薄膜とし得る。

【図面の簡単な説明】

【図1】



【図1】従来の薄膜トランジスタ製造方法を説明する工程図。

【図2】本発明による薄膜CMOSTランジスタ製造方法を説明する工程図。

【図3】図2の工程に続く工程を説明する工程図。

【図4】図3の工程に続く工程を説明する工程図。

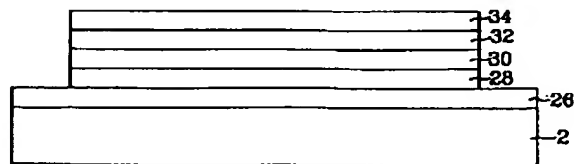
【図5】図4の工程に続く工程を説明する工程図。

【図6】図5の工程に続く工程を説明する工程図。

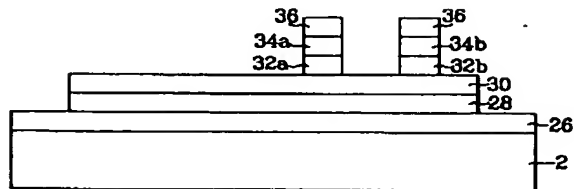
【符号の説明】

- 28 N形非晶質シリコン層（第1導電形非晶質シリコン層）
- 30, 34 絶縁層（バッファ層）
- 32 P形非晶質シリコン層（第2導電形非晶質シリコン層）
- 36, 37 フォトマスク
- 38 ゲート絶縁層
- 40 ゲート電極層
- 42 チャネル層

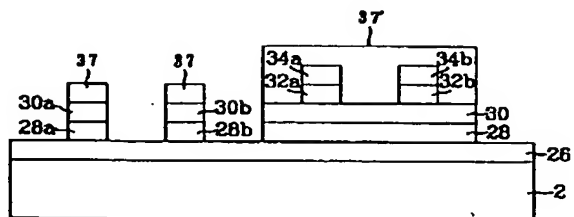
【図2】



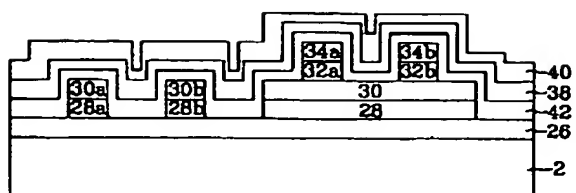
【図3】



【図4】



【図5】



【図6】

